

44

500.39978X00

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

JC903 U.S. PRO
03/04/04
826687

Applicant(s): Hirokatsu FUJIWARA, et al

Serial No.:

Filed: April 6, 2001

Title: INFORMATION PROCESSING SYSTEM WITH MEMORY ELEMENT PERFORMANCE-DEPENDENT MEMORY CONTROL

Group:

LETTER CLAIMING RIGHT OF PRIORITY

Honorable Commissioner of
Patents and Trademarks
Washington, D.C. 20231

April 6, 2001

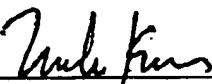
Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55, the applicant(s) hereby claim(s) the right of priority based on Japanese Patent Application No.(s) 2000-105201 filed April 6, 2000.

A certified copy of said Japanese Application is attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP



Melvin Kraus
Registration No. 22,466

MK/CIB/nac
Attachment
(703) 312-6600

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

100-09/026887 PRO

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日
Date of Application:

2000年 4月 6日

出願番号
Application Number:

特願2000-105201

出願人
Applicant(s):

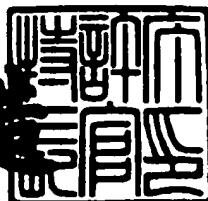
株式会社日立製作所

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 3月 2日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2001-3012835

【書類名】 特許願

【整理番号】 KN1084

【提出日】 平成12年 4月 6日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 12/06

【発明者】

【住所又は居所】 神奈川県秦野市堀山下1番地 株式会社 日立製作所
エンタープライズサーバ事業部内

【氏名】 藤原 啓雄

【発明者】

【住所又は居所】 神奈川県秦野市堀山下1番地 株式会社 日立製作所
エンタープライズサーバ事業部内

【氏名】 箕田 紀美子

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社 日立製作所

【代理人】

【識別番号】 100078134

【弁理士】

【氏名又は名称】 武 順次郎

【電話番号】 03-3591-8550

【手数料の表示】

【予納台帳番号】 006770

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 情報処理システム

【特許請求の範囲】

【請求項1】 メモリ装置とメモリ制御装置とを備えて構成される情報処理システムにおいて、前記メモリ制御装置は、変更可能なメモリ制御タイミング情報を格納する格納手段と、前記メモリ装置の動作状態を監視する監視手段と、前記メモリ制御タイミング情報格納手段からメモリ制御タイミング情報を取り込むレジスタと、前記レジスタ内のメモリ制御タイミング情報を基づいてメモリ装置のアクセスを制御すると共に、前記監視手段からの情報により前記メモリ制御タイミング情報格納手段内の格納情報を変更する制御手段とを備えて構成されることを特徴とする情報処理システム。

【請求項2】 前記メモリ装置は、動作の異なる複数のメモリ素子群が混在して搭載されて構成され、前記メモリ制御タイミング情報を格納する格納手段は、個々のメモリ素子群対応のメモリ制御タイミング情報を格納していることを特徴とする請求項1記載の情報処理システム。

【請求項3】 前記メモリ装置は、温度、電流を監視する環境センサを備え、前記制御手段は、環境センサからのメモリ装置周辺の温度の上昇、電流値が基準を越えたことの報告により、前記格納手段内の格納情報を、メモリ装置への動作タイミングが遅くなるように更新することを特徴とする請求項1または2記載の情報処理システム。

【請求項4】 前記メモリ制御装置は、メモリ障害検出回路を備え、前記制御手段は、特定メモリ素子群に障害が発生したことが前記回路により検出された場合、前記格納手段内のそのメモリ素子群に対応する格納情報を、メモリ装置への動作タイミングが遅くなるように更新することを特徴とする請求項1または2記載の情報処理システム。

【請求項5】 前記メモリ制御装置は、メモリ障害検出回路を備え、前記制御手段は、特定メモリ素子群に障害が発生したことが前記回路により検出され、かつ、その障害が特定動作における性能劣化であった場合、前記格納手段内のそ

のメモリ素子群に対応する格納情報を、前記特定動作時にメモリ装置への動作タイミングが遅くなるように更新することを特徴とする請求項1または2記載の情報処理システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、情報処理システムに係り、特に、搭載されるメモリ素子の能力に応じたメモリの制御を行うことを可能にしたメモリ制御装置を備える情報処理システムに関する。

【0002】

【従来の技術】

一般に、情報処理システムは、その記憶装置を構成する憶素子として、DRAM (Dynamic Random Access Memory) 素子、SRAM (Static Random Access Memory) 素子等を使用している。また、近年、クロック信号に同期して動作するSDRAM (Synchronous DRAM)、SSRAM (Synchronous SRAM) も広く使用されている。メモリ素子は、数年で素子の改良が進み、アクセス速度や、メモリ容量が改善されており、これと同時に価格も変動してくる。情報処理システム等のシステムの設計を行う場合、長い製品寿命を維持するため、システムは、将来の素子にも対応できるよう設計されている必要がある。このため、通常、記憶装置を備える情報処理システムは、複数の素子に対応するため、メモリ制御装置内に動作タイミングを決めるレジスタを持ち、このレジスタに素子の種類、動作速度に応じた動作タイミング値を設定することにより、これに従った制御信号を出力するように構成されており、また、メモリ容量の拡張に備えて、アドレス信号も余分に用意されて構成されている。

【0003】

近年、情報処理システムは、大容量メモリを備えることが益々要求されるようになってきており、このため、できるだけ最新の大容量高速なメモリを使用すると共に、できるだけ多くのメモリを実装することが必要になっている。ところが、大容量メモリを備える情報処理システムは、大規模なメモリ装置を実現するた

め、実装するメモリ素子を増加させることにより、装置上での空間的な広がりや、素子毎のばらつきが多くなり、素子の実力性能を発揮することができなくなっている。このため、多くのメモリ素子を搭載した情報処理システムは、最も悪条件のメモリ素子に合わせた実装及び制御を行う必要があり、性能と実装容量とのバランスを考慮する必要があった。

【0004】

また、大量のメモリ素子を搭載した情報処理システムは、メモリ素子の故障も問題になる。メモリ素子の故障は、 α 線障害のような完全なインタミッテントな障害と完全に壊れたソリッド障害とに分けることができる。しかし、素子故障の中には、ある動作タイミング動作環境で動いた場合で、特定のパラメータにタイミングマージンの不足から生じるものも少なくない。従来、このようなメモリ素子も、特別に意識されず、障害が繰り返して発生すれば、ソリッド障害として扱われていた。

【0005】

また、大量のメモリ素子を搭載した高性能の情報処理システムは、電力消費が大きくなるため、メモリ装置を動作させていない場合、メモリの動作を休止させるスリープモード等が用意されている。

【0006】

【発明が解決しようとする課題】

前述したように、大規模なメモリ素子が搭載される情報処理システムは、実装メモリ容量と性能と信頼性とを確保するため、よりきめ細かな素子性能管理が必要となるが、従来、このような点が配慮されていなかった。すなわち、大規模なメモリ素子が搭載される情報処理システムは、実装するメモリ素子の増加により、メモリ素子の装置上での空間的な広がりが増し、各メモリ素子ごとの転送タイミングのばらつきや、装置の設置された場所の温度等の環境によって、メモリ素子の実力のばらつきが増加し、また、経年変化等で、メモリ素子の実力が劣化するが、これらに対応したきめ細かなメモリ素子の管理が行われておらず、メモリ素子の能力を充分に利用していないという問題点を有している。

【0007】

本発明の目的は、メモリ素子の実力のばらつき、素子の実装位置、一時的な環境変化、経年変化等のメモリ素子の実力の変化を自己検出し、システムを停止させることなく、安定してメモリ素子を最高性能で動作させることができるメモリ制御装置を備えた情報処理システム提供することにある。

【0008】

また、本発明の目的は、特定の動作タイミングのみに対して劣化したメモリ素子の動作タイミングを変更し、システムを停止させることなく安定な動作を継続させることを可能にし、さらに、プログラムの制御の下で、省電力のために一時的にメモリ素子の動作性能を低下させること可能にしたメモリ制御装置を備えた情報処理システム提供することにある。

【0009】

【課題を解決するための手段】

本発明によれば前記目的は、メモリ装置とメモリ制御装置とを備えて構成される情報処理システムにおいて、前記メモリ制御装置が、変更可能なメモリ制御タイミング情報を格納する格納手段と、前記メモリ装置の動作状態を監視する監視手段と、前記メモリ制御タイミング情報格納手段からメモリ制御タイミング情報を取り込むレジスタと、前記レジスタ内のメモリ制御タイミング情報に基づいてメモリ装置のアクセスを制御すると共に、前記監視手段からの情報により前記メモリ制御タイミング情報格納手段内の格納情報を変更する制御手段とを備えて構成されることにより達成される。

【0010】

また、前記目的は、前記メモリ装置が、動作の異なる複数のメモリ素子群が混在して搭載されて構成され、前記メモリ制御タイミング情報を格納する格納手段が、個々のメモリ素子群対応のメモリ制御タイミング情報を格納していることにより、また、前記メモリ装置が、温度、電流を監視する環境センサを備え、前記制御手段が、環境センサからのメモリ装置周辺の温度の上昇、電流値が基準を越えたことの報告により、前記格納手段内の格納情報を、メモリ装置への動作タイミングが遅くなるように更新することにより達成される。

【0011】

また、前記目的は、前記メモリ制御装置が、メモリ障害検出回路を備え、前記制御手段が、特定メモリ素子群に障害が発生したことが前記回路により検出された場合、前記格納手段内のそのメモリ素子群に対応する格納情報を、メモリ装置への動作タイミングが遅くなるように更新することにより達成される。

【0012】

さらに、前記目的は、前記メモリ制御装置が、メモリ障害検出回路を備え、前記制御手段が、特定メモリ素子群に障害が発生したことが前記回路により検出され、かつ、その障害が特定動作における性能劣化であった場合、前記格納手段内のそのメモリ素子群に対応する格納情報を、前記特定動作時にメモリ装置への動作タイミングが遅くなるように更新することにより達成される。

【0013】

【発明の実施の形態】

以下、本発明による情報処理システムの一実施形態を図面により詳細に説明する。

【0014】

図1は本発明の一実施形態による情報処理システムの構成を示すブロック図、図2はメモリ装置を構成するメモリ群の実装構造を説明する図、図3はメモリタイミングテーブルの構成例を説明する図である。図1～図3において、1は命令処理プロセッサ、2はメモリコントローラ、3はメモリ装置、21はリクエスト発行制御回路、22はメモリタイミングテーブル、23はメモリ制御タイミング生成回路、24はメモリ制御タイミングレジスタ、25はメモリ障害累積カウンタ、31は環境センサ、32はメモリ群である。

【0015】

本発明の一実施形態による情報処理システムは、図1に示すように、命令処理を実行する命令処理プロセッサ1と、メモリ制御を行うメモリ制御装置であるメモリコントローラ2と、メモリ装置3とにより構成される。また、メモリコントローラ2は、リクエスト発行を制御すると共に、メモリ障害累積カウンタ25、環境センサ31からの報告に基づいてメモリ制御タイミングを変更してメモリタイミングテーブル22の内容を更新するリクエスト発行制御回路21と、メモリ

参照タイミングを登録したメモリタイミングテーブル22と、SDRAM等のメモリを制御する信号を生成するメモリ制御タイミング生成回路23と、メモリ制御タイミングを生成するときに参照するメモリ制御タイミングレジスタ24と、メモリエラーの情報を累積するメモリ障害累積カウンタ25を備えて構成されている。メモリ装置3は、DRAM等のメモリ群32と、メモリ周辺の温度、メモリの電流量を監視する温度／電流センサである環境センサ31とを備えて構成されている。

【0016】

メモリ群32は、メモリの種類、動作速度の異なるメモリ素子により構成されていてよく、例えば、図2に示すように、速度の異なるメモリ素子群が、それぞれ異なる実装位置に実装されて構成される。図2に示す例では、高速なメモリ素子群がメモリコントローラ2に最も近い実装位置Aに、中速のメモリ素子群が次にメモリコントローラ2に近い実装位置Bに、また、低速の2つのメモリ素子群がメモリコントローラ2から最も遠い実装位置C、Dに実装されている。なお、図2に示す例は、メモリ素子を4つのメモリ素子群に分けて、4つの実装位置に実装するとしているが、メモリ素子の分割数、実装位置の数は任意である。

【0017】

図1において、メモリ障害累積カウンタ25は、複数の累積カウンタを備えて構成され、メモリ装置3からの障害情報を受けて、その障害をカウントアップする際、障害発生時の状況と障害となったメモリ素子群との組毎に障害のカウントを行う。このため、図示していないが、メモリコントローラ2内には、メモリ装置3からの障害情報について障害発生時の状況、例えば、どのようなコマンドの並びであるかを識別し、また、どのメモリ素子群で障害が発生したかを識別する障害識別回路が設けられている。

【0018】

前述したように構成される本発明の実施形態による情報処理システムにおいて、通常のメモリ参照リクエストは、命令処理プロセッサ1からメモリコントローラ2内のリクエスト発行制御回路21に対して発行される。メモリ参照リクエストを受け取ったリクエスト発行制御回路21は、目的のメモリが他のリクエスト

によって参照されていたり、リフレッシュなどの実行中でないかをチェックし、起動可能であれば、メモリ制御タイミング生成回路23に対してメモリの起動を要求する。メモリ制御タイミング生成回路23は、メモリ制御タイミングレジスタ24に設定されたパラメータに基づいて、メモリ装置3を構成するSDRAM等によるメモリ素子に制御信号を出力する。

【0019】

メモリ制御タイミングレジスタ24に含まれるタイミング情報は、リクエスト発行制御回路21からの指示により、メモリタイミングテーブル22から取り出してメモリ制御タイミングレジスタ24にセットされるものである。あるいは、メモリ装置3へのアクセスの都度、そのアクセスに対応したタイミング情報をメモリタイミングテーブル22から取り出してメモリ制御タイミングレジスタ24にセットするものであってもよい。そして、このタイミング情報は、メモリ装置3に実装されるメモリ素子がSDRAMである場合、SDRAMをコントロールするクロック信号の周期(CLK)、SDRAMをACTIVATEさせると共にロードレスを送出するコマンドの発行からカラムアドレスを送出するまでの時間(RCD)、カラムアドレスを受け取ってからデータをSDRAMから出力するまでの時間(CL)、SDRAMから出力されたデータがメモリ素子が実装された基板等を渡って制御装置に取り込まれるまでの時間(FT)等のパラメータによるタイミング情報である。

【0020】

これらのパラメータは、メモリ素子の種類によって異なり、また、メモリ素子が例えばSDRAMの場合であっても、メーカや実装形態によって異なる。これらのパラメータは、メモリ装置3に実装されるメモリ素子の実力の変化をメモリコントローラ2が検出して、メモリコントローラ2自身が、あるいは、メモリ素子の実力の変化を命令処理プロセッサ1に報告して、命令処理プロセッサ1がメモリタイミングテーブル22の内容を書き替えることにより変更される。

【0021】

前述したようなメモリタイミングのパラメータの変更は、以下に説明するような要因により発生する。以下、メモリ制御タイミングを変更する要因について説

明する。

【0022】

メモリ初期化

メモリ装置3内のメモリ群32に、図2に示すような、動作速度が異なる等の仕様の異なるメモリ素子群を最初から混在して搭載させた場合、メモリ素子群に応じたパラメータを設定しておく必要がある。このパラメータの設定は、システムの立ち上げ時に、メモリタイミングテーブル22を初期化することにより行われる。

【0023】

メモリ障害による性能の自動低下

メモリ障害が特定のメモリ素子で多発したことがメモリ障害累積カウンタ25で検出された場合、メモリアクセスタイミングの変更を行うことによりこれを救済するための要求であり、メモリ障害の発生する素子の中には、タイミングの変更で動作を継続できる素子も存在するため、このようなメモリ素子を救済するための要求である。この要求は、メモリコントローラ2内に内蔵したメモリ障害累積カウンタ25のカウント値が、予め決められているしきい値を越えた場合に、メモリ障害累積カウンタ25がリクエスト発行制御回路21に報告することにより発生する。

【0024】

温度異常による障害発生の防止

メモリ周辺で、温度等の環境変化が起こった場合、素子の特性が劣化し、障害を発生させる可能性がある。この場合の要求は、このような場合に、メモリの動作タイミングを緩和して環境の回復を待つことができるようとする要求である。この要求は、メモリ装置3上に設けた環境センサ31がリクエスト発行制御回路21に報告することにより発生する。

【0025】

省電力モードによる動作

情報処理システムが待機状態にあり動作頻度が低下している場合に、メモリ動作タイミングを緩和、すなわち、動作クロックの周期を長くし、省電力化を図る

ようにする要求であり、この要求は、命令処理プロセッサから、リクエスト発行制御回路21に対して行われる。

【0026】

前述したようなメモリタイミング変更要求を受けたリクエスト発行制御回路21は、メモリタイミングテーブル22の更新を行う。この更新は、予め決められた更新規則、例えば、すでに設定されているパラメータ値を数%増分する等として実行される。

【0027】

このメモリタイミングテーブル22の更新は、すでに説明したように、メモリ制御タイミングレジスタ24に反映される。このメモリ制御タイミングレジスタ24へのメモリタイミングテーブル22の更新の反映は、リクエスト発行制御回路21の制御の下で実行される。

【0028】

すなわち、リクエスト発行制御回路21は、メモリ制御タイミング生成回路23が、メモリ制御タイミングレジスタ24を参照していない状態であることを確認し、メモリ制御タイミングレジスタ24に対してメモリタイミングテーブル22からの更新許可を発行する。更新許可をうけたメモリ制御タイミングレジスタ24は、メモリタイミングテーブル22からのデータを受け取り、次のリクエスト以降のメモリ参照に新しいタイミングパラメータを適用する。

【0029】

メモリタイミングテーブル22は、図3に示す例のように構成されている。図3に示す例は、図2により説明した4つの実装位置A～Dに設けられる速度の異なるそれぞれのSDRAMに対してメモリタイミングパラメータを登録している例である。パラメータは、メモリ制御タイミングレジスタ24に含まれるタイミング情報と同一であり、SDRAMクロック周期(CLK)、SDRAMをACTIVATEさせると共にロードレスを送出するコマンドからカラムアドレスを送出するまでの時間(RCD)、カラムアドレスを受け取ってからデータがSDRAMから出力されるまでの時間(CL)、RAMから出力されたデータが実装された基板等を渡って制御装置に取り込まれるまでの時間(FT)である。

【0030】

図3に示す例は、図2に示したメモリ素子群の実装構造に対応させた簡単な構造のものであるが、実際には、例えば、障害発生の多いコマンドの並び、その際のメモリ素子群、メモリ素子の種類等の組毎にメモリタイミングパラメータがメモリタイミングテーブル22に設定される。

【0031】

さて、メモリコントローラ2に命令処理プロセッサ1からメモリ参照リクエストが発行されると、このリクエストは、リクエスト発行制御回路21で受け付けられる。リクエスト発行制御回路21は、メモリ制御タイミング生成回路23にメモリ装置3の起動を要求する。メモリ制御タイミング生成回路23は、リクエスト種によって、メモリ制御タイミングレジスタ24の内容を読み込み、最適なタイミングで、メモリ装置3に対して制御信号を出力する。

【0032】

図4、図5はメモリ装置3に対するアクセス時の動作タイミングを説明する図であり、以下、図4、図5を参照して、図3に示すメモリタイミングテーブルの例に従ったメモリ制御の動作について説明する。

【0033】

図4(a)は、実装位置Aのメモリ素子群の動作タイミングを示しており、そのCLKは10ns周期である。ACT信号からRD信号までのRCDは20ns、RD信号からRAMデータ出力までのCLは20ns、RAMデータ出力からデータ取り込みまでのFTは10nsである。

【0034】

図4(b)は、実装位置Bのメモリ素子群の動作タイミングを示しており、そのCLKは10ns周期である。ACT信号からRD信号までのRCDは20ns、RD信号からRAMデータ出力までのCLは30ns、RAMデータ出力からデータ取り込みまでのFTは10nsである。

【0035】

図5(a)は、実装位置Cのメモリ素子群の動作タイミングを示しており、そのCLKは15ns周期である。ACT信号からRD信号までのRCDは30ns

s、RD信号からRAMデータ出力までのCLは30ns、RAMデータ出力からデータ取り込みまでのFTは10nsである。

【0036】

図5(b)は、実装位置Dのメモリ素子群の動作タイミングを示しており、そのCLKは15ns周期である。ACT信号からRD信号までのRCDは30ns、RD信号からRAMデータ出力までのCLは45ns、RAMデータ出力からデータ取り込みまでのFTは15nsである。

【0037】

前述したように、本発明の実施形態の例によれば、メモリ装置に実装されるメモリ素子群の実装位置と各メモリ素子群の動作速度とに基づいて、各メモリ素子群を最適なタイミングで制御することができる。

【0038】

前述した本発明の実施形態は、メモリ装置に搭載されているメモリ素子群がSDRAMであるとして説明したが、本発明は、メモリ装置に搭載するメモリ素子として、DRAM、SRAM等の仕様の異なるメモリ素子が混在して搭載された場合に適用することができ、この場合にも、メモリ装置に実装されるメモリ素子群の実装位置と各メモリ素子群の種類とに基づいて、各メモリ素子群を最適なタイミングで制御することができる。

【0039】

さらに、本発明の実施形態によれば、障害の状況に基づいて、メモリ素子群に対するタイミングの変更を行うことができるので、特定の条件の下でのみ発生するような障害を回避してメモリ装置の動作を制御することができる。

【0040】

【発明の効果】

以上説明したように本発明によれば、大規模なメモリ素子を実装した情報処理システムにおいて、メモリ素子群の実装位置や環境変化や経年変化等の素子の実力変化を自己検出し、これにより、システムを停止させることなく安定してメモリ素子を最高の性能で動作させることができる。

【図面の簡単な説明】

【図1】

本発明の一実施形態による情報処理システムの構成を示すブロック図である。

【図2】

メモリ装置を構成するメモリ群の実装構造を説明する図である。

【図3】

メモリタイミングテーブルの構成例を説明する図である。

【図4】

メモリ装置に対するアクセス時の動作タイミングを説明する図である。

【図5】

メモリ装置に対するアクセス時の動作タイミングを説明する図である。

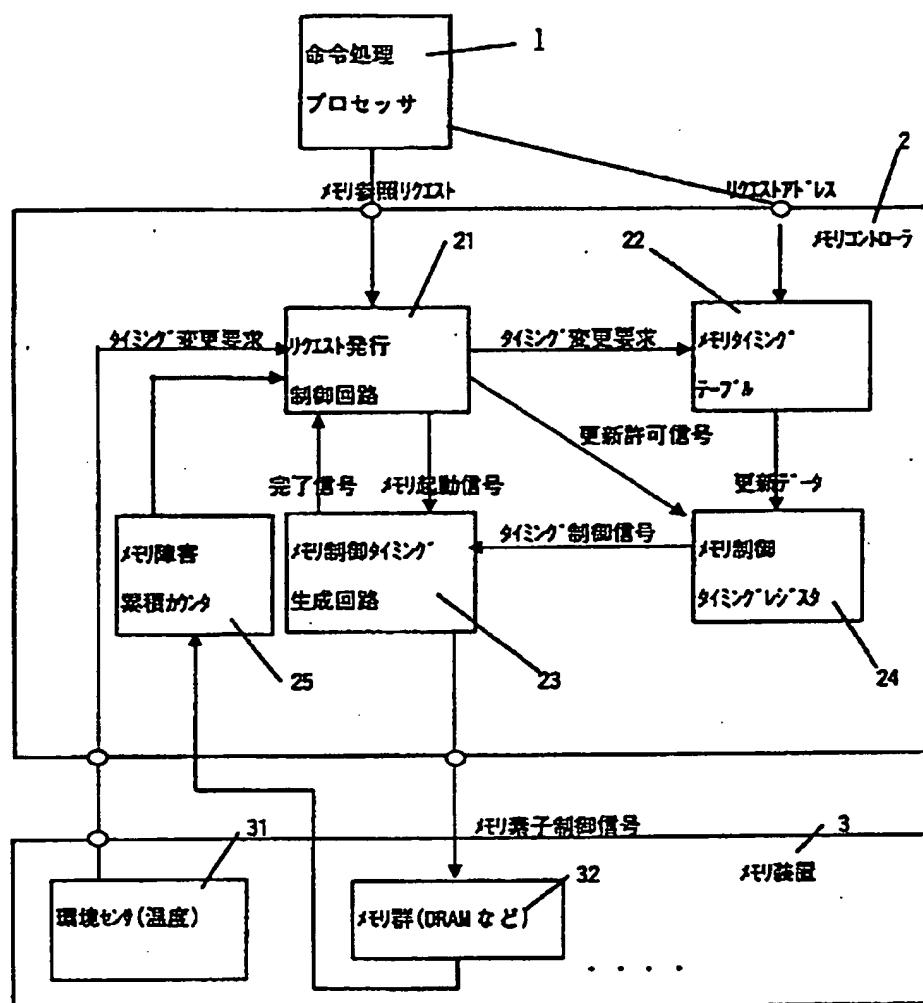
【符号の説明】

- 1 命令処理プロセッサ
- 2 メモリコントローラ
- 3 メモリ装置
 - 2 1 リクエスト発行制御回路
 - 2 2 メモリタイミングテーブル
 - 2 3 メモリ制御タイミング生成回路
 - 2 4 メモリ制御タイミングレジスタ
 - 2 5 メモリ障害累積回路
- 3 1 環境センサ
- 3 2 メモリ群

【書類名】 図面

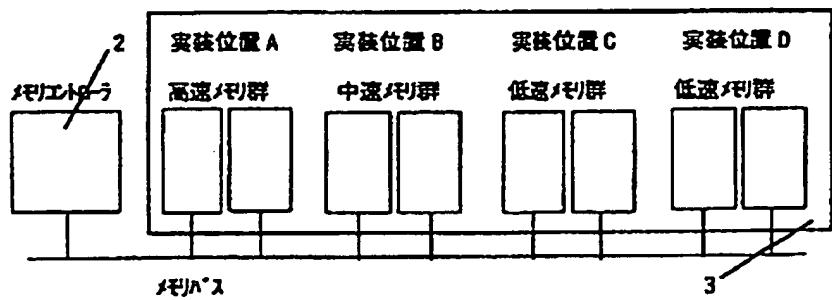
【図1】

図1



【図2】

図2



【図3】

図3

22

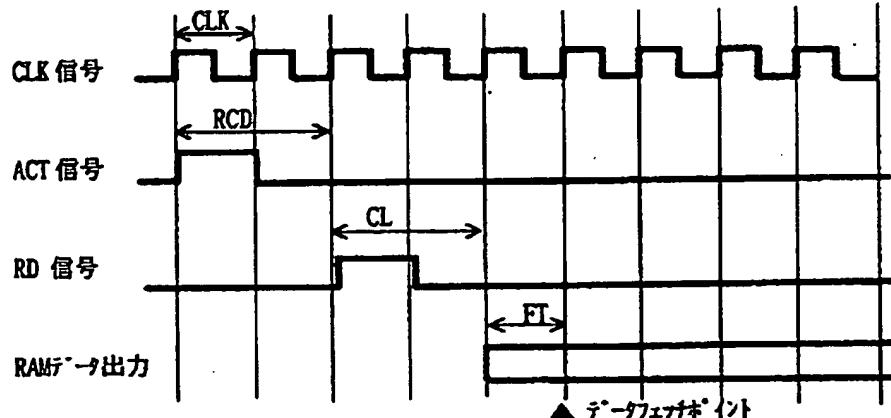
実装位置	メモリタイミングパラメータ			
	CLK	RCD	CL	FT
A	10ns	20ns	20ns	10ns
B	10ns	20ns	30ns	10ns
C	15ns	30ns	30ns	10ns
D	15ns	30ns	45ns	15ns

メモリタイミング・テーブル内容

【図4】

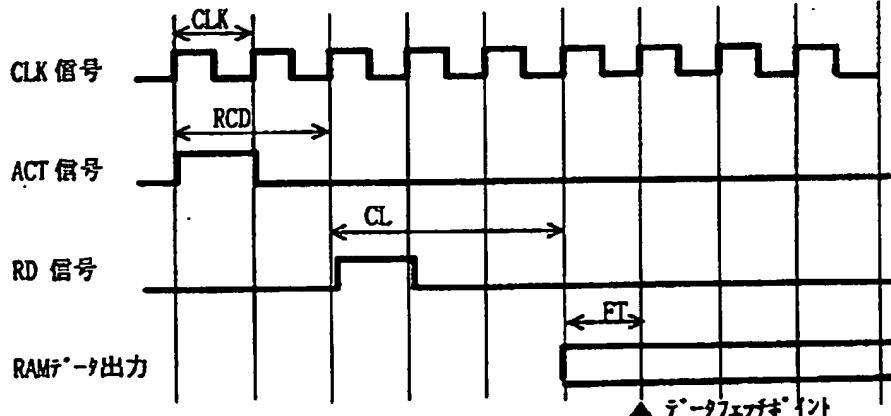
図4

(a)



実装位置 A SDRAM動作タイミング

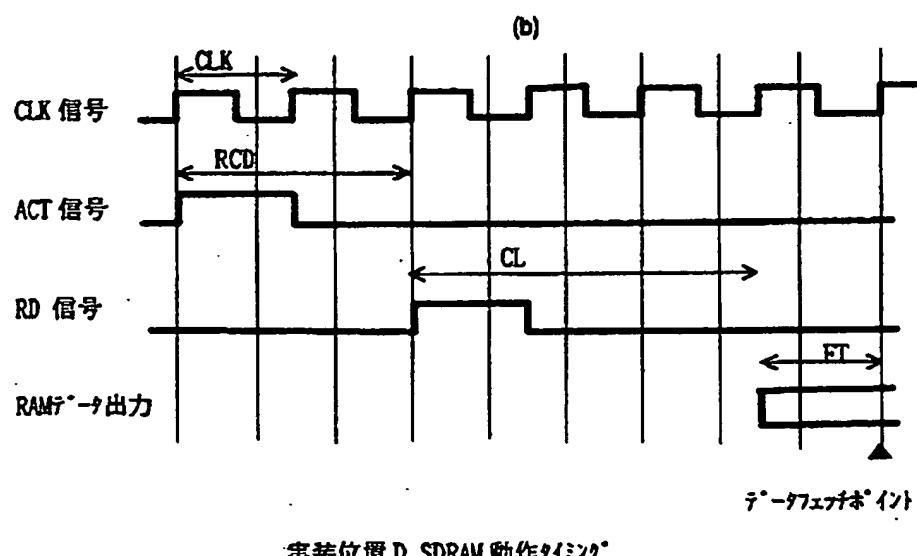
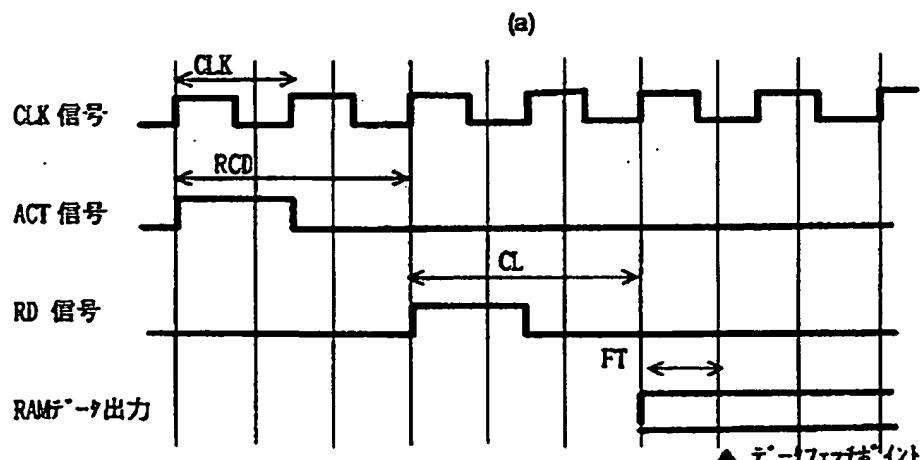
(b)



実装位置 B SDRAM動作タイミング

【図5】

図5



【書類名】 要約書

【要約】

【課題】 メモリ素子の実装位置、環境変化、経年変化等によるメモリ素子の実力変化を自己検出して、システムを停止させることなく、安定してメモリ素子を最高の性能で動作させることを可能とした情報処理システム。

【解決手段】 メモリ装置3に搭載されたメモリ素子毎に最適なメモリアクセスを実現するために、メモリ制御装置2内に、各素子に対応する動作タイミングを格納したメモリタイミングテーブル22が設けられる。タイミングテーブル22は、メモリ動作を監視する装置からの指示によって更新される。テーブル更新後の処理要求以降適用される。メモリ動作を監視する手段としては、メモリ素子周辺に配置された環境センサ31や、メモリアクセス毎に発生するエラー情報の累積するカウンタ25等が用いられる。

【選択図】 図1

出願人履歴情報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地

氏 名 株式会社日立製作所